インテル® Itanium® プロセッサー 9500 製品ファミリーとHP-UX 11i v3

テクニカルホワイトペーパー

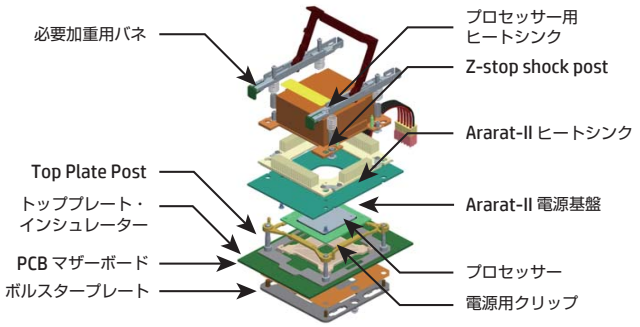
インテル® Itanium® プロセッサーは、メインフレームやRISCプロセッサーの置き換えとして開発された高性能、かつ高信頼性を備えたプロセッサーです。このインテル® Itanium® プロセッサーを搭載したHP Integrity Superdome 2や無停止型のHP Integrity NonStop サーバーは、世界中のデータセンターで主にデータベースを稼働させるミッションクリティカルシステムとして数万台という規模で利用されています。また、HP-UXは、PA-RISCおよびインテル® Itanium® プロセッサー上で稼働するエンタープライズUNIXです。高可用クラスターウェアのHP Serviceguard等による高い信頼性が評価され、基幹系システムとして多くの企業に導入されています。本書では、その最新版のインテル® Itanium® プロセッサー 9500 製品ファミリーならびにHP-UX 11i v3について、技術的にご紹介します。

インテル® Itanium® プロセッサー 9500 製品ファミリー

インテル® Itanium® プロセッサー 9500 製品ファミリー

インテル® Itanium® プロセッサーの最大の特長は、コア数に比例してOSやアプリケーションのスケールアップ性能が向上するEPIC（Explicitly Parallel Instruction Computing：明示的な命令並列コンピューティング）アーキテクチャーを採用している点にあります。コンパイラーがコンパイル時に並列処理をするための最適化をしており、インテル® Itanium® プロセッサーではその並列処理に最適化されたOSやアプリケーションを順序通りに実行（インオーダー実行）しています。最新のインテル® Itanium® プロセッサー 9500 製品ファミリーは、コア数と同時命令発行数が大幅に拡張され、より高い性能が発揮できるように改良されています。

高信頼性はMCA（マシン・チェック・アーキテクチャー）によって、ハードウェアレイヤーのエラー制御だけでなく、ファームウェアレイヤー、OSレイヤーまでを含める3階層モデルでエラー制御することで実現させています。インテル® Itanium® プロセッサー 9500 製品ファミリーは、前世代のインテル® Itanium® プロセッサー 9300番台よりもトランジスター数が大幅に増加しているので、それに併せてハードウェアレイヤーのエラー訂正機能を改良し、より長期安定稼働する精度を高めています。

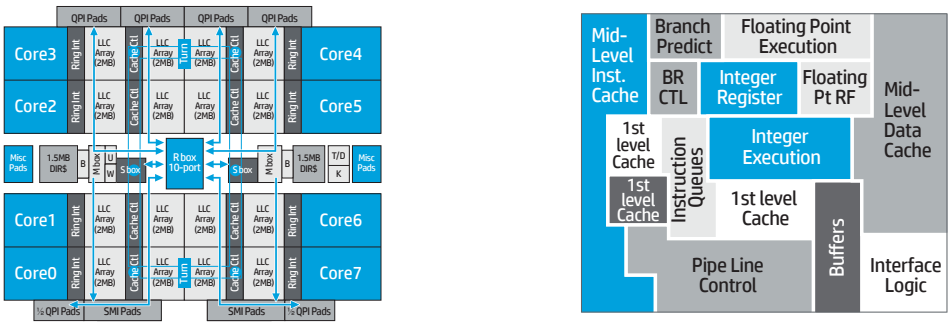


インテル® Itanium® プロセッサー 9500 製品ファミリー

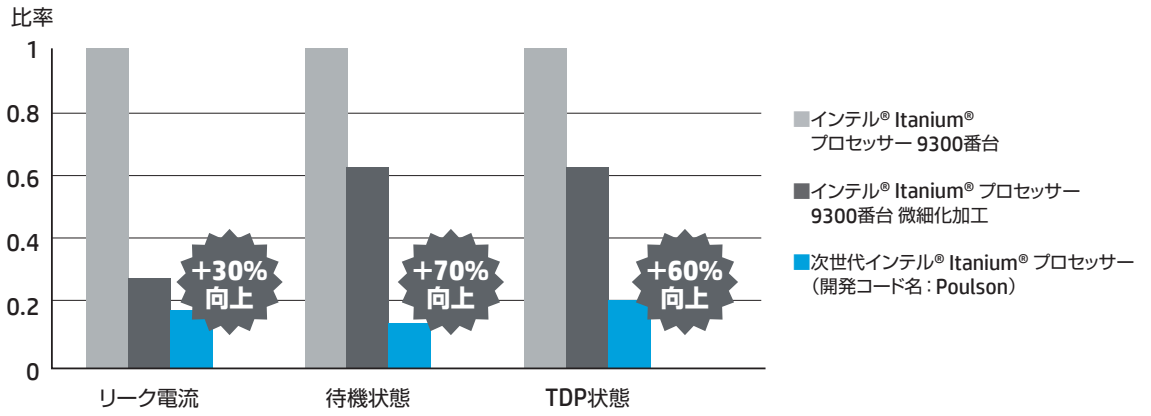
デザイン

インテル® Itanium® プロセッサー 9500 製品ファミリーは前世代のインテル® Itanium® プロセッサー 9300番台からマイクロアーキテクチャーの大規模な刷新を行い、これから何世代にも渡って使い続ける新たなアーキテクチャーを作っています。それと同時に、プロセス微細加工の更新も行い、32nmプロセス技術を採用し31億のトランジスタを集積と、より集約度を高め、ソケット互換を保ちつつ、性能を向上させています。また、外部インターフェイスは前世代と同一ですが、新たに転送速度の向上や低電圧メモリをサポートしています。

また、マイクロアーキテクチャーの刷新ではブロック単位、回路単位での改善を行なっており、前世代と比較し、消費電力は約1/5と大幅に削減しています。



インテル® Itanium® プロセッサー 9500 製品ファミリーのアンコア（左）とコア（右）のブロックデザイン



インテル® Itanium® プロセッサー9300番台との消費電力比較

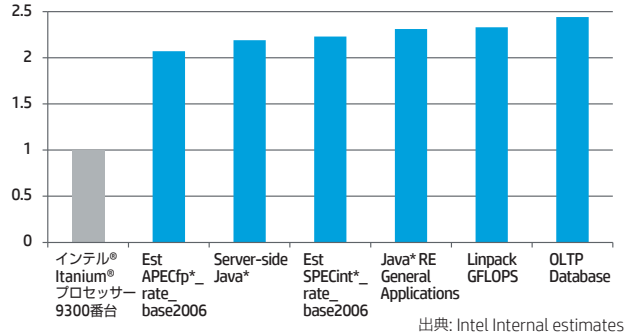
コアの拡張

インテル® Itanium® プロセッサー 9500 製品ファミリーでは演算部であるコア数は8に拡張され、さらにそのコア自体が大幅に改良されています。同時命令発行数は12※と前世代のコアから2倍に拡張されています。実際の動作はインテル® Itanium® プロセッサーのコンパイラーにより生成されたプログラムを3つの小命令語を1つにまとめたバンドルが命令の最小命令発行単位であるため、インテル® Itanium® プロセッサー 9500 製品ファミリーでは4バンドルの動作となります。つまりコア数と、そのコアの同時命令発行数が2倍に拡張されているわけです。コア当たりの実行速度を向上させるクロック周波数は1.83GHzから2.53GHzへと1.4倍に向上し、使用頻度の高いデータを一時的に保持するL3キャッシュサイズは24MBから32MBと1.3倍に拡張され共有キャッシュに変更されています。その結果、2倍以上の性能向上をしています。

前世代までのコアのパイプラインステージは8段でしたが、インテル® Itanium® プロセッサー 9500 製品ファミリーでは11段に拡張されています。インテル® Itanium® プロセッサー 9500 製品ファミリーでは、ハイパースレッディングやインストラクション・リプレイという新機能を追加するため、命令をフェッチするフロントエンド部のパイプラインステージは4段、そしてバックエンド部のパイプラインステージを7段に分離し、その間に命令バッファーを追加したことで、フロントエンド部とバックエンド部それぞれのパイプラインが独立して動作できるように改良されています。つまり、1つのパイプラインを2つに分離したことで、フロントエンド部で処理された命令が命令バッファーに保存されるとフロントエンド部の処理は完了となり、その保存された命令をバックエンド部で処理することで、そのパイプラインの処理が完了となります。

このようにパイプラインは改良されても、コンパイラーでプログラム全体を並列化し、その並列化されたプログラムをパイプラインで順番通りに実行するというEPICアーキテクチャーの根幹部分には変更はなく、OS、アプリケーション、その他コンパイルされたプログラムの互換性は担保されています。

※同時発行命令数は12ですが、実行を絶え間なく処理する演算ユニットは19（6 整数ユニット、4マルチメディアユニット、2ロード/ストアユニット、1整数乗算ユニット、2浮動小数点ユニット、3分岐ユニット、1NOPスクイージングユニット）です。



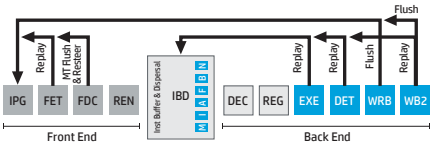
出典: Intel Internal estimates

インテル® Itanium® プロセッサー9300番台との性能相対比較

ハイパースレッディング

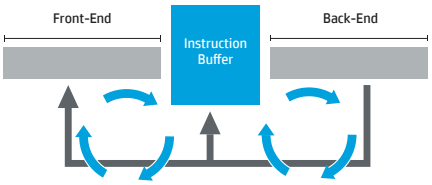
前世代までのハイパースレッディングはSoEMT（Switch-on-Event Multi-threading）方式で、キャッシュミスヒット等で処理待ち状態に入ると次のスレッドに切り替わります。同様に新しいスレッドが、処理待ちになると、元のスレッドに戻りますが、その時には待たされた処理は完了しており、中断箇所から再開します。これにより、見かけ上の待ち時間が消されます。物理的に1つのコアを論理的な2つのコアとして動作させることができる機能でした。（処理が完了すると、自動的に元のスレッドに戻るわけではありません。）そのスレッドの切り替えはパイプライン単位の動作であるため、1つのスレッドと1つのパイプラインは依存した動作となっていました。

インテル® Itanium® プロセッサー 9500 製品ファミリーでは前述したようにパイプラインのステージはフロントエンド部とバックエンド部に分離して動作するように改良されています。つまり、2つに分離されたことで、より細かいパイプラインレベルでのスレッドの切り替えが可能となり、さらに効率が上がっています。

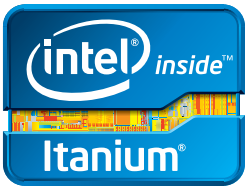


パイプラインブロック図

IPG – Instruction Pointer Generate
FET – Instruction Fetch
FDC – Instruction Fetch Decode
REN – Register Rename
IBD – Instruction Buffer & Dispersal
DEC – Instruction Decode
REG – Register Access
EXE – Instruction Execute
DET – Detect Exceptions
WRB – Writeback Commit Generate
WB2 – Writeback-2 Retire



ハイパースレッディング・テクノロジー

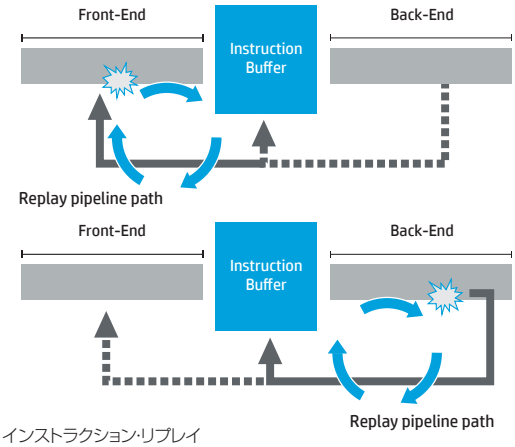


インテル® Itanium® プロセッサー
9500 製品ファミリー

インストラクション・リプレイ

インストラクション・リプレイはコアのパイプラインでエラーを検出した場合に、そのエラーを訂正するのではなく、エラー検出されたパイプラインをリセットし同じ命令を再実行させる機能です。エラーがバックエンド部で検出されると、バックエンド部でそのエラーを封じ込め再実行するため、フロントエンド部に影響はありません。

インテル® Itanium® プロセッサー 9500 製品ファミリーではパイプラインがフロントエンド部とバックエンド部に分理されたため、このようにそれぞれのパイプラインステージでエラーを封じ込め、命令を再実行できます。このインテル® Itanium® プロセッサー 9500 製品ファミリーに搭載されたインストラクション・リプレイは、メインフレーム以外では初めて搭載されたエラーによる影響を最小限にする革新的な機能です。



インストラクション・リプレイ

インテル® ターボ・ブースト・テクノロジー

インテル® Itanium® プロセッサー 9500 製品ファミリーのトランジスター数は31億と前世代から約1.5倍に拡張されていますが、第2世代のHigh-k＋メタルゲートトランジスターによる32nm製造プロセスを採用したことで、発熱の原因であるリーク電流を少なくできています。その効果によりコア数、同時命令発行数、周波数が拡張されてもTDP（熱設計電力）170Wが実現できています。

インテル® Itanium® プロセッサー 9500 製品ファミリーのターボブースト機能は、このTDP 170Wを上限とし、CPU利用率が低いときには同時命令発行数を最大にし、利用率が高い時には同時命令発行数を削減することで最大限の性能を発揮させています。具体的には、内部搭載された10個の熱センサーが、内蔵の専用コントローラーでの監視とDAF（Digital Activity Factor）ユニットと通信し、同時命令発行数を制御しています。つまり、インテル® Itanium® プロセッサー 9500 製品ファミリーのターボブースト機能はTDPの範囲で動的に電圧/同時命令発行数を制御し、電力リソースを有効活用しながら性能を最大限に発揮させています。

エラープロテクション

インテル® Itanium® プロセッサー 9500 製品ファミリーのエラープロテクションは、前述したインストラクション・リプレイによるパイプラインで発生するコア部のエラー訂正機能が拡張されていますが、それ以外のエラープロテクションも拡張されています。特にコア部/インターフェイス部であるキャッシュで検出されたソフトエラーは全て訂正されるように改良されています。内蔵メモリーコントローラーが制御するメインメモリのエラー訂正機能とインターフェイス部であるインテル® スケーラブル・メモリー・インターコネクト（SMI）/インテル® QuickPath インターコネクト（QPI）のエラー訂正機能は前世代から変更はありません。

インテル® Itanium® プロセッサー 9500 製品ファミリーのキャッシュはL1キャッシュ、L2キャッシュ、そしてL3キャッシュに分離されていますが、全てのキャッシュで検出されたシングルビットエラーは訂正され、L3キャッシュはダブルビットエラーまで訂正できます。シングルビットエラーのほとんどはソフトエラーと呼ばれるエラーで、物理的または電気的に壊れていない状態でありながら、1と記録したビットが反転、または0と記録したビットが反転してしまうものです。そのため、エラーとして検出されたエラーは全て正常値に訂正することができます。

メインメモリであるDIMMは、1枚のDIMM上で2つまでのDRAMチップエラーを容量を減らすことなく訂正するDDDC（Double Device Data Collection）をサポートしています。このDDDCは、帯域が半分、搭載容量が半分、そしてメモリーコストが2倍というメモリミラーの欠点も解消しながら二重障害を保護できる機能ですが、HPが独自に調査した過去の統計データでは、1200回メモリでエラーが発生した場合に、そのうちの1回がDRAMチップの障害で、さらにそのDRAMチップの障害の17回に1回は2つのDRAM チップ障害でした。ミッションクリティカル環境で利用されるサーバーのほとんどは、≪アクティブ-スタンバイ≫、または≪アクティブ-アクティブ≫のフェイルオーバークラスターですが、スタンドアロンシステムとして二重障害まで耐えられるデザインのサーバーと組み合わせることで、さらに堅牢なシステムを構築できます。

外部インターフェイスであるQPIとSMIはシリアルバスであるため、高性能なエラー訂正機能が備わっています。データレーン上で単発的に発生する通信エラーが検出されると、パケットを再送して訂正します。通信エラーが連続的に発生した場合は、そのデータレーンをリセットして再開させます。QPIは訂正機能で訂正されないハードエラーが発生すると、縮退動作し、通信経路が遮断された場合は別の経路に動的ルーティングもできます。SMIはスペアレーンへのレーンフェイルオーバーとなり縮退動作にはならないため、メモリアクセス帯域は低下しません。

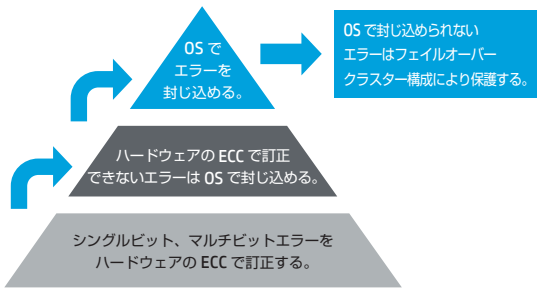
MCA（マシン・チェック・アーキテクチャー）

前述したように、インテル® Itanium® プロセッサー 9500 製品ファミリーは製造プロセスが微細化されトランジスター数が31億と1.5倍に増加したことによりエラー対策は強化されています。特にソフトエラー対策は万全ですが、物理的または電気的な障害による訂正不可能なエラーは、その上位レイヤーであるファームウェア、さらにMCAの最上位レイヤーとなるOSの連携により封じ込めることで継続稼働させるといった従来のスタンドアロンサーバーのエラーハンドリングの限界を超えた動作ができます。

そのMCAの最上位レイヤーとなるOSで、エラーを封じ込められない場合には強制終了させデータ破壊を防止しますが、その強制終了するまでに、レジスターログが収集され、ハードウェアエラーダンプファイルとしてサーバー上の不揮発性メモリに保存されます。このハードウェアエラーダンプファイルは、訂正不能なエラーが発生したアドレスが保存され、強制終了した原因を特定することができます。

このようにハードウェアエラーダンプファイルがサーバーに保存される致命的なエラーの対策にはOSよりさらに上位レイヤーであるミドルウェアを利用した≪アクティブ-スタンバイ≫クラスター構成、または≪アクティブ-アクティブ≫クラスター構成が必要です。

※内部で検出や訂正されたエラーは、その物理アドレスが不揮発性メモリに保存されます。そのため、それらのエラーカウントの閾値をHP-UXで設定することでコアが稼働中であってもオンラインで不活性（Deactivate）にすることができます。この機能はDPR（Dynamic Processor Resiliency）と呼ばれています。さらに、このDPRでコアが不活性になったとしても、従属課金型のHP Instant Capacity（iCAP）を利用した予備コアを準備しておけば、HP-UXが再起動することなく自動でiCAPコアに置き換え動作もできます。



MCAによるエラー制御

HP-UX 11i v3

HPは、この強化されたインテル® Itanium® プロセッサー 9500 製品ファミリーの性能を最大限引き出すために、ハードウェア、ファームウェア、OS、ミドルウェアを強化し、新たなHP Integrityサーバーとして提供していきます。
HP-UXは販売開始から10年間のサポートをコミットしていますが、2007年にリリースした現在のバージョン「HP-UX 11i v3」は、2022年までサポートを延長しました。ミッションクリティカル・コンピューティングを利用されるお客様にとって、性能、信頼性と共に重要な要素に継続性があります。ハードウェアを入れ替えながらも、ソフトウェア資産はそのまま移行して使い続けたいというお客様のご要望が数多くあります。こうしたお客様の要望などに応じてサポート期間を延長しており、今後の延長も検討しております。さらには、バージョンはそのままに機能強化は続けており、互換性を維持しながら進化し続けています。

柔軟な仮想化技術

HP-UX 11i v3の2012年9月アップデート版では、インテル® Itanium® プロセッサー 9500 製品ファミリー搭載のプラットフォームに対応した仮想化ソリューション「vPars and Integrity VM v6.1.5」をリリースしました。vPars and Integrity VM v6は、論理パーティションの「Virtual Partitions（vPars）」と仮想化マシンの「HP Integrity Virtual Machines（Integrity VM）」を統合した、それぞれの長所を上回る新製品です。
vParsはファームウェアによるものなので、オーバーヘッドが殆どなく、お互いに干渉しない安定した環境が構築できる特長があります。また、Integrity VMは高い柔軟性と管理性のある環境が構築可能です。vPars and Integrity VM v6では、vParsとIntegrity VMを同一筐体（物理パーティション）内で混在でき、集約率を高めながらも重要なアプリケーションの安定性を確保することができるわけです※。さらにはvParsとIntegrity VMの変換ができ、必要に応じてvParsとIntegrity VMの使い分けが容易になります。

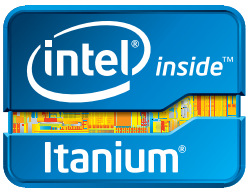
※ vPar とVMの共存は2013年サポート予定です。

HPでは、Superdome 2からラックタイプ、そしてインテル® Itanium® プロセッサー 9500 製品ファミリー搭載サーバーまで、すべてのHP Integrityサーバーをサポートしています。仮想マシンでは、前世代のOS「HP-UX 11i v2」を稼働することもできます※。
また、ファイバーチャネルのHBAカードを複数のゲストで共有することにより、サーバーリソースを他の物理サーバーに移行しても、ストレージの設定変更が不要になり、仮想環境でありながら物理環境と同様に管理できます。さらに、物理NICポートを直接ゲストにつなぐことができるので、ほぼネイティブと同等のネットワーク性能を発揮します。CPU稼働率を物理サーバーと同等に抑制できるなど、ミッションクリティカル環境に最適な仮想化ソリューションを実現しています。

※vPars and Integrity VM v6.1.5以降でサポートします。

	インテル® Itanium® プロセッサー 9300番台	インテル® Itanium® プロセッサー 9500 製品ファミリー
製造プロセス	65nm	32nm
トランジスタ数	20.5億	31億
ダイ面積	700平方ミリ	544平方ミリ
ソケット	LGA1248	LGA1248
TDP	185W	170W
コア数	4	8
L3キャッシュ	24MB	32MB
QPIの本数	4Full+2Half	4Full+2Half
QPIの転送速度	4.8GT/s	6.4GT/s
SMIの数	4	4
SMIの転送速度	4.8GT/s	6.4GT/s

インテル® Itanium® プロセッサー9300番台との仕様比較



インテル® Itanium® プロセッサー 9500 製品ファミリー

安全に関するご注意　ご使用の際は、商品に添付の取扱説明書をよくお読みの上、正しくお使いください。水、湿気、油煙等の多い場所に設置しないでください。火災、故障、感電などの原因となることがあります。

お問い合わせはカスタマー・インフォメーションセンターへ
03-5749- 8328　月～金 9:00～19:00　土 10:00～17:00（日、祝祭日、年末年始および5/1を除く）
機器のお見積もりについては、代理店、または弊社営業にご相談ください。
HP Integrityサーバー製品に関する情報は　http://www.hp.com/jp/integrity

Intel、インテル、Intel ロゴ、Itanium、Itanium Inside は、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。
記載されている会社名および商品名は、各社の商標または登録商標です。
記載事項は2012年11月現在のものです。
本カタログに記載された内容は、予告なく変更されることがあります。
© Copyright 2012 Hewlett-Packard Development Company,L.P.

本カタログは、環境に配慮した用紙と植物性大豆油インキを使用しています。
PRINTED WITH SOY INK

日本ヒューレット・パッカード株式会社
〒136-8711 東京都江東区大島2-2-1

WUX12520-01